

## Abstract

The present invention relates to a ferroelectric capacitor improved with an electric characteristic by changing a contact characteristic between an electrode and a conductive oxide layer and a characteristic of a ferroelectric material through an interfacial engineering approach and a method for fabricating the same. Especially, the conductive oxide layer made of ruthenium oxide ( $\text{RuO}_2$ ) formed on the electrode based on platinum (Pt) has a thickness less than approximately 15 nm, and as a result of this preset thickness, a PZT layer formed on the  $\text{RuO}_2$  layer is formed such that the PZT layer includes small crystalline particles and has a smooth surface. Therefore, it is possible to overcome difficulties arising in case of employing an over-etching process. Also, an asymmetrical electrode structure can be applicable by forming a lower electrode on which a dielectric material is formed in a structure of  $\text{RuO}_2/\text{Pt}$  and an upper electrode through using such a material as aluminum (Al) instead of Pt. This asymmetric electrode structure provides effects of solving an adhesiveness problem caused by the use of Pt, overcoming a difficulty in etching Pt and reducing manufacturing costs through eliminating the use of expensive Pt. Furthermore, a roughness of a substrate surface is improved by changing a deposition recipe for the electrode when the ferroelectric material is formed on the conductive oxide layer. This improved roughness provides an effect on reduction of leakage currents, thereby further satisfying required conditions for the application of FRAM and DRAM devices.

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup> (11) 공개번호 특1998-031893  
H01L 29/12 (43) 공개일자 1998년07월25일

(21) 출원번호 특1996-051458  
(22) 출원일자 1996년10월31일  
(71) 출원인 삼성전자 주식회사 김광호  
경기도 수원시 팔달구 매탄동 416번지  
(72) 발명자 정일섭  
서울특별시 서초구 잠원동 63-34 한신로얄아파트 1동 201호  
(74) 대리인 이영필, 권석훈, 윤창일

심사청구 : 없음

(54) 계면 공학을 이용한 강유전체 캐패시터 및 그 제조 방법

요약

본 발명은 전극막과 전도성 산화막 간의 접착성 및 강유전체의 물성을 계면 공학(interfacial engineering)적 방법을 이용하여 변화시켜 그 전기적 특성이 개선된 강유전체 캐패시터 및 그 제조 방법에 관한 것으로, Pt 전극 상에 형성되는 RuO<sub>2</sub> 전도성 산화막의 두께를 15nm 이하의 얇은 두께로 형성되도록 함으로써, RuO<sub>2</sub> 전도성 산화막 상에 형성되는 PZT는 결정 입자의 크기가 작고 표면이 매끈하게 형성되도록 한 것이다. 따라서, 식각 공정에 있어서 오버에칭시 예상되는 어려움을 피할 수 있고, 그 밖에 유전체를 생성하게 될 하부 전극은 종래의 RuO<sub>2</sub>/Pt 구조를 사용하고 강유전체가 생성된 후 상부 전극은 Pt 대신에 SiO<sub>2</sub> 같은 물질로 대체하는 비대칭 전극 구조를 적용할 수 있다. 이렇게 함으로써 Pt로 인한 전하 문제나 Pt의 에칭에 따른 어려움은 물론 값비싼 Pt를 사용하지 않아도 되므로 공정 단가를 줄일 수 있는 효과가 있다. 또한, 전도성 산화막 위에서 강유전체를 증착할 때에 전극의 증착 조건을 변화시켜 기판 표면의 거칠기를 개선함으로써 누설 전류를 대폭 줄였으므로 FRAM, DRAM 응용을 위해 요구되는 기준을 만족시킬 수 있다.

도표도

도1

명세서

도면의 간단한 설명

도 1은 종래의 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT의 표면을 AFM으로 측정한 영상.  
도 2는 종래의 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT의 표면을 FESEM으로 측정한 영상.  
도 3a는 종래의 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT의 전자 현미경 평면 영상.  
도 3b는 종래의 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT의 투과 전자 현미경 회절 패턴.  
도 4는 종래의 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT의 X-ray 회절 패턴.  
도 5는 종래의 강유전체 캐패시터에 있어서, 각각 RuO<sub>2</sub> 및 RuO<sub>2</sub>/Pt 전극을 이용하여 만들어진 PZT 강유전체 캐패시터에서 측정된 히스테리시스 루프 곡선.  
도 6은 종래의 강유전체 캐패시터에 있어서, 각각 RuO<sub>2</sub> 및 RuO<sub>2</sub>/Pt 전극을 이용하여 만들어진 PZT 강유전체 캐패시터에서 측정된 누설 전류 특성 곡선.  
도 7a 내지 도 7c는 본 발명에 따른 계면 공학을 이용한 강유전체 캐패시터의 제조 방법을 공정 단계별로 도시한 단면도.  
도 8은 본 발명에 따른 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT를 AFM으로 측정한 표면 영상.  
도 9는 본 발명에 따른 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT를 FESEM으로 측정한 표면 영상.  
도 10a는 본 발명에 따른 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT의 투과 전자 현미경 평면 영상.

- 도 10b는 본 발명에 따른 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT의 회절 패턴,  
 도 11은 본 발명에 따른 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT의 X-ray 회절 패턴,  
 도 12는 본 발명에 따른 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극을 이용하여 만들어진 다양한 규격의 PZT 강유전체 캐패시터에서 측정된 히스테리시스 루프 곡선,  
 도 13은 본 발명에 따른 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극을 이용하여 만들어진 PZT 강유전체 캐패시터에서 측정된 TDD(누설 전류) 특성 곡선,  
 도 14는 본 발명에 따른 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극을 이용하여 만들어진 PZT 강유전체 캐패시터에서 측정된 피로 특성 곡선.

그리고 도 15a 내지 도 15d는 각각 본 발명에 따른 강유전체 캐패시터에 있어서, RuO<sub>2</sub>의 두께에 따라 형성된 PZT 박막의 광학적 영상 변화를 나타낸 것으로,

- 도 15a는 RuO<sub>2</sub>의 두께가 70nm 일 경우에 형성된 PZT 박막의 표면 영상이고,  
 도 15b는 RuO<sub>2</sub>의 두께가 30nm 일 경우에 형성된 PZT 박막의 표면 영상이며,  
 도 15c는 RuO<sub>2</sub>의 두께가 20nm 일 경우에 형성된 PZT 박막의 표면 영상이며,  
 도 15d는 RuO<sub>2</sub>의 두께가 10nm 일 경우에 형성된 PZT 박막의 표면 영상이다.

도면의 주요부분에 대한 부호의 설명

- |                            |                                 |
|----------------------------|---------------------------------|
| 1. Pt 하부 전극                | 2. RuO <sub>2</sub> 하부 전도성 산화막  |
| 3. PZT 강유전체                | 4. RuO <sub>2</sub> /상부 전도성 산화막 |
| 5. Pt 혹은 Si 상부 전극          | 6. Ti 접착층                       |
| 7. SiO <sub>2</sub> /Si 기판 |                                 |

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 계면 공학(interfacial engineering)적 방법을 이용하여 전극막과 전도성 산화막 간의 접촉성 및 강유전체의 물성을 변화시켜 그 전기적 특성이 개선된 강유전체 캐패시터 및 그 제조 방법에 관한 것이다.

강유전체 캐패시터는 전하의 전달을 위해 전도성이 좋은 전극을 필요로 한다. 일반적으로 사용되는 백금 전극은 막 피로 현상으로 인한 전기적 특성 저하가 문제가 되고 있고, 전도성 산화물 전극은 누설 전류가 커서 정보 저장 시간이 짧아 기억 소자에 적용하기 어려운 실정이다.

강유전체 캐패시터의 전극으로는 금속 물질의 경우 주로 Pt 또는 Pt/Ti가 사용되고 있으나, 금속 전극과 강유전체 계면에 축적되는 산소 공핍(oxygen vacancy)들로 인한 전기적 특성 저하가 문제가 된다. 강유전체에서 확산되는 산소 공핍들은 계면에 계속 축적되어 분극 반전시 분극값이 급격히 줄어들어 막 피로를 초래한다. 산소 공핍이 계면으로 확산되어 공간 전하 영역을 형성하는 것을 막기 위하여 제시된 RuO<sub>2</sub>와 같은 전도성 산화물 전극의 도입으로 막 피로 현상은 개선할 수 있었지만 누설 전류가 큰 문제로 대두되었다. 이러한 누설 전류는 전도성 산화물 전극과 강유전체 계면에 존재하는 결함(defect)들로 인한 전위 장벽(barrier height)의 저하로 증가되거나, 전도성 산화막(RuO<sub>2</sub>)의 루테튬(Ru) 금속이 PZT(PbZrTiO<sub>3</sub>)의 형성시 확산되어 PZT의 결정입자(grain) 경계에서 Pb와 반응하여 전도성 물질인 납-루테튬산염(lead-ruthenate(PbRuO<sub>3</sub>-x))이 형성되어 강유전체 박막의 전기 저항이 줄어들기 때문에 증가되는 것으로 인식되어 왔다.

강유전체 기억 소자를 구성하는 캐패시터에 있어서, 상기와 같은 누설 전류를 차단하는 절연 성질은 기억 소자의 동작을 결정하는 중요한 요소이다. 특히, DRAM 형태로 동작하는 기억 소자의 경우는 누설 전류 특성이 리프레쉬 타임(refresh time)을 결정하는 중요한 변수이다. 비휘발성 기억 소자의 경우 리프레쉬 타임과는 관련이 없으나 소모 전력이나 누설 전류로 인한 열 발생 등과 관련하여 누설 전류는 소자 설계시 문제가 되고 있다.

일반적으로, FRAM 기억 소자의 전극을 구성하는 방법은 여러 가지 있으나 크게 2가지 방법으로 나누어진다. 가장 많이 사용되고 쉬운 방법은 금속 전극에 강유전체를 증착하는 방법이다. 이 경우 금속 전극으로는 Pt가 널리 사용되고 있다. 하지만 Pt 와 같은 금속 전극을 사용할 경우 막 피로 현상으로 인하여 수명이 단축되어 시간이 지남에 따라 기억 소자로서의 기능이 상실하게 되는 단점 때문에 상품화에 어려움을 주고 있다. 이러한 금속 전극의 단점을 보완하기 위하여 제시된 전도성 산화막은 막 피로로 인한 수명 단축은 개선할 수 있지만, 수명 연장과 같은 장점의 이면에 누설 전류의 특성이 나쁜 단점이 기억 소자로서의 응용을 막고 있는 실정이다. 상기의 단점을 보완하기 위해서 제시된 금속 산화막과 금속막의 혼합형 또한 누설 전류의 특성을 다소 개선했으나 좀 더 보완이 필요한 실정이다. 우선 금속막이 아닌 전도성 산화막이나 금속막과 전도성 산화막이 혼합된 전극들에서 생성되는 강유전체(특히 PZT)를 사용하여 만든 캐패시터들이 누설 전류 특성이 나쁜 원인을 규명할 필요가 있다. 먼저, 도 1의 AFM 영상을 참조하면, 본 출원인의 선출원 특허 제95-01804호, US 5,142,437, US 5,491,102 및 US 5,471,363 등의 발명에서 제시된 RuO<sub>2</sub>/Pt 전극에서 생성된 PZT의 표면을 알 수 있다. 이와 같이 종래 기술에 의해 제조된 RuO<sub>2</sub> 상의 PZT 박막의 상부 표면은, 도시된 바와 같이, 약 50nm 이상의 거칠기가 있으며 큰 입자들 사이에는 성적이 달

라 보이는 막이 존재함을 알 수 있다. 이러한 특성은 도 2의 FESEM 사진에서도 관찰되는데, 아주 미세한 입자들이 큰 입자들 사이에 위치하여 있고 표면의 상태가 거칠을 알 수 있다. 즉, 종래의 강유전체 캐패시터(RuO<sub>2</sub>/PZT/RuO<sub>2</sub>, Pt/RuO<sub>2</sub>/PZT/RuO<sub>2</sub>/Pt)들은 강유전체가 생성되는 기판이 산화막인 관계로 표면이 거칠어 국부적인 핵 생성이 잘 일어나는 반면 핵 생성이 전반적으로 일어나지 않기 때문에 도 2에 도시된 바와 같이 로세트(rossette) 형태의 막을 잘 만든다. 이 경우 perovskite grain과 perovskite grain의 경계면에는 강유전성을 갖지 않는 pyrochlore phase가 존재하게 된다. 이 pyrochlore phase는 perovskite phase와 함께 전류의 흐름에 대하여 병렬 회로를 이루기 때문에 강유전체 캐패시터의 절연 특성을 나쁘게 한다. 이렇게 절연 특성이 나쁘면 누설 전류의 값이 커지고 그에 따라 탈분극(depolarization) 값이 커져 기억 소자 등작시 논리 에러가 발생할 수 있을 뿐 만 아니라 표면이 고르지 않은 관계로 식각 공정시 오버에칭(overetching)이 많이 필요한 단점이 있다.

좀 더 세밀한 분석을 위하여 투과 전자 현미경으로 분석한 사진들이 도 3a 및 도 3b에 도시되어 있다. 우선 도 3a에 도시된 바와 같이 크기가 큰 입자가 강유전성을 나타내는 perovskite phase이고 입자가 작은 것들이 pyrochlore phase이다. 도 3b는 투과 전자 현미경으로 얻은 회절 패턴이다. 평면 영상의 큰 입자들은 회절 패턴에서 스폿들로 나타나고, 작은 입자들은 회절 패턴에서 링으로 나타났다. 도 3a의 회절 패턴에서 스폿들은 perovskite phase이고 링은 pyrochlore phase이다. pyrochlore phase는 입자의 크기가 작고 perovskite phase는 입자의 크기가 0.5μm 이상이다. 이렇게 2개의 상이한 상의 존재는 도 4의 X-ray 패턴에서도 잘 나타난다. 2θ 85도 근처에서 결정이 덜된 형태로 나타나는 것이 pyrochlore phase이다. 도 5와 도 6은 이런 강유전체로 만든 캐패시터의 전기적 특성을 보여준다. 우선 도 5는 히스테리시스 루프를 나타내고 도 6은 누설 전류 특성을 보여주는 TDD 특성이다. 도 6에 도시된 바와 같이, RuO<sub>2</sub>/PZT/RuO<sub>2</sub> 캐패시터 보다 강유전 특성이 개선된 Pt/RuO<sub>2</sub>/PZT/RuO<sub>2</sub>/Pt 캐패시터의 누설 전류치도 약 5×10<sup>-5</sup>A/cm<sup>2</sup>이다. 이 값은 소자에 응용하기에는 대단히 큰 값으로 보다 더 개선이 요구되는 실정이다. 누설 전류의 개선을 위해서는 위에서 언급한 것과 같이 강유전체 표면에 대한 개선과 병렬 회로를 구성하는 pyrochlore phase의 존재 및 그 양이 중요하다.

이상 설명한 바와 같이, 강유전체를 이용하는 비휘발성 기억 소자의 경우 Pt와 같은 금속막을 전극으로 사용하면 일반적으로 누설 전류 특성이 큰 문제가 없으나 막 피로 현상이 발생하여 소자의 수명이 짧은 단점이 있다. 이런 단점을 극복하기 위해서 강유전체를 전도성 산화막(RuO<sub>2</sub>) 위에 증착하면 소자의 수명은 개선되나 강유전체 표면의 형상(morphology)이 나빠지고, 이로 인해 누설 전류의 특성이 나빠 기억 소자에 응용이 어려운 실정이다.

#### 본 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 개선하고자 창안된 것으로, 계면 공학적 측면에서 강유전체와 전극간의 계면 물성을 변화시켜 그 전기적 특성(누설 전류가 감소된) 강유전체 캐패시터 및 그 제조 방법을 제공하는데 그 목적이 있다.

#### 본 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명에 따른 강유전체 캐패시터는, 기판 상에 하부 Pt 전극/하부 전도성 산화물 RuO<sub>2</sub>/강유전체 PZT/상부 전도성 산화물 RuO<sub>2</sub>/상부 Pt 전극의 순으로 적층된 강유전체 캐패시터에 있어서, 상기 하부 전도성 산화물 RuO<sub>2</sub>의 두께를 15nm 이하로 형성하여 상기 PZT 상부 표면의 거칠기가 10nm 이하로 형성된 것을 특징으로 한다.

본 발명에 있어서, 상기 PZT의 두께는 250-270nm 인 것이 바람직하며, 상기 상부 Pt 전극이 Al 전극으로 대체될 수 있다.

또한, 상기와 같은 목적을 달성하기 위하여 본 발명에 따른 강유전체 캐패시터의 제조 방법은, 기판 상에 하부 전극으로 Pt를 적층하는 단계; 상기 하부 전극 상에 하부 전도성 산화물층으로 RuO<sub>2</sub>를 적층하는 단계; 상기 하부 전도성 산화물층 상에 강유전체로 PZT를 소정의 두께로 적층하는 단계; 상기 강유전체 상에 상부 전도성 산화물층으로 RuO<sub>2</sub>를 적층하는 단계; 및 상기 상부 전도성 산화물층 상에 Pt를 적층하는 단계를 포함하는 강유전체 캐패시터의 제조 방법에 있어서, 상기 RuO<sub>2</sub> 전도성 산화물층을 15nm 이하의 두께로 적층하여, 상기 PZT 강유전체 상부 표면의 거칠기를 10nm 이하로 형성하는 것을 특징으로 한다.

본 발명에 있어서, 상기 하부 Pt 전극은 DC 마그네트론 스퍼터링법으로 200nm의 두께로 증착하고, 상기 RuO<sub>2</sub> 하부 전도성 산화물층을 적층하는 단계는, 산소 분압이 20-40%인 상태에서 RuO<sub>x</sub>를 증착하는 서브 단계; 및 상기 RuO<sub>x</sub>의 조성을 안정시키고 Ru를 용이하기 위하여 550도에서 30분 동안 열처리하는 서브 단계를 포함하며, 상기 PZT를 적층하는 단계는, 스프인 코팅법을 이용하여 250-270nm의 두께로 PZT를 증착하는 서브 단계; 및 상기 PZT를 650도에서 1시간 동안 열처리하는 단계를 포함하는 것이 바람직하다.

이하 도면을 참조하면서 본 발명에 따른 계면 공학을 이용한 강유전체 캐패시터 및 그 제조 방법을 설명한다.

본 발명의 강유전체 캐패시터는 전도성 산화막 전극 표면의 거칠기를 변조함으로써 형성되는 강유전체의 막질을 개선하여 누설 전류의 특성을 향상시키는 것이 특징이다. 강유전체 캐패시터(RuO<sub>2</sub>/PZT/RuO<sub>2</sub>, Pt/RuO<sub>2</sub>/PZT/RuO<sub>2</sub>/Pt)를 제조함에 있어서, 형성되는 PZT 강유전체에는 기판이 산화막인 관계로 표면이 거칠어, 도 2에 도시된 바와 같이, 강유전성을 갖는 perovskite grain들과 함께 그 경계면에 강유전성을 갖지 않으면서 perovskite phase와 함께 전류의 흐름에 대하여 병렬 회로를 이루며 절연 특성을 나쁘게 하는 pyrochlore phase가 포함된다. 또한, 형성된 PZT막의 표면이 거칠어지게 된다. 이러한 문제점을 해결하기 위하여 PZT가 형성되는 기판면이 되는 전도성 산화막의 재료를 변경하는 대신에, 계면 공학적 원리를 이용하여 pyrochlore phase가 형성되는 것을 방지하고 막의 표면을 매끄럽게 하는 연구를 진행하였다. 우선적으로 고려된 주요소로는 배양성과 결정성이 있는데, 이러한 결정성과 배양성에 영향을 줄 수 있는 요소로는 Pt막 열처리 조건, RuO<sub>2</sub> 산화막의 증착 및 열처리 조건이 있다. Pt막의 열처리 조건이 바뀔때 따라 결정입자의 사이즈 및 스트레스가 변하고, 그 위에 증착될 RuO<sub>2</sub>막의 특성이 바뀐다. 물론

이러한 특성 변화는 RuO<sub>2</sub>산화막의 증착 조건이 되는 O<sub>2</sub>분압과 온도 및 증착된 RuO<sub>2</sub>산화막의 열처리 조건이 되는 온도와 시간에 의해서도 결정되지만, 본 발명에서는 특히, RuO<sub>2</sub> 산화막의 두께를 조절함으로써, PZT박막의 막질 및 표면 거칠기를 줄이는데 성공하였다.

먼저 본 발명에 따른 강유전체 캐패시터는, 도 7a에 도시된 바와 같이, Ti 접착층(6)이 구비된 SiO<sub>2</sub>/Si 기판(7) 상에 하부 Pt 전극(1), 하부 전도성 산화물 RuO<sub>2</sub>(2), 강유전체 PZT(3), 상부 전도성 산화물 RuO<sub>2</sub>(4), 상부 Pt 전극(5)의 순으로 적층되는데, 상기 하부 전도성 산화물 RuO<sub>2</sub>의 두께는 15nm 이하로 형성되게 하며 상기 PZT(3) 상부 표면의 거칠기가 10nm 이하로 되도록 하고 있으며, 상기 PZT(3)의 두께는 250~270nm 가 되도록 한다. 또한, 상부 Pt 전극(5)은 Al 전극으로 대체될 수도 있다.

이상과 같은 강유전체 캐패시터의 제조 방법을 도 7a 내지 도 15를 참조하여 설명하면 다음과 같다.

먼저, 도 7a에 도시된 바와 같은 SiO<sub>2</sub>/Si 기판(7) 상에 Pt의 접착을 용이하게 하는 Ti 접착층(6)을 구비한 다음, 그 위에 도 7b에 도시된 바와 같이, Pt를 증착하여 하부 금속 전극(1)을 형성한다. Pt 전극(1)은 DC 마그네트론 스퍼터링법으로 증착하며, 공정 조건은 인가 전력 400 W, 챔버 내의 기압 9 mTorr, 기판 거리 100mm로 하여 증착 온도 200° C에서 증착한 것이다. 증착후 열처리를 하지 않았다.

다음에, 도 7c에 도시된 바와 같이, Pt 전극(1) 상에 RuO<sub>2</sub>를 15nm 이하로 증착하여 하부 전도성 산화막(2)을 형성한다. 약 200nm 두께의 Pt 전극(1) 상에 RuO<sub>x</sub> 산화막을 산소 가스 분압이 약 20~40%인 상태에서 15nm 이하의 두께로 증착한다. 이와 같이, 하부 전도성 산화막의 두께를 얇게 형성함으로써 PZT의 핵생성율을 증가시킨다. 증착후 PZT막을 증착하기 전에 RuO<sub>x</sub>의 조성을 안정시키고 Ru 금속을 줄이기 위하여 550° C 산소 분위기에서 30분 동안 열처리를 한다.

다음에, 도 7d에 도시된 바와 같이, 상기 RuO<sub>2</sub> 전도성 산화막(2) 상에 PZT를 250~270nm의 두께로 증착하여 강유전체층(3)을 형성한다. PZT는 스프인 코팅법을 이용하여 약 250~270nm의 두께로 증착하며, 증착후 650° C에서 1시간 동안 열처리를 한다. 이와 같이 하면, 도 8에 도시된 바와 같이, PZT 표면의 거칠기가 10nm 이하로 감소된다.

다음에, 도 7e에 도시된 바와 같이, 제2 RuO<sub>2</sub>를 증착하여 상부 전도성 산화막(4)을 형성한다.

다음에, 도 7f에 도시된 바와 같이, Pt 혹은 Al을 증착하여 상부 금속 전극(5)을 형성하여 강유전체 캐패시터를 완성한다.

이와 같은 본 발명의 강유전체 캐패시터 제조 방법은, 하부 전도성 산화막(2)의 두께를 15nm 이하로 제한하는 계면 공학적 원리를 이용하여 강유전체가 생성될 전도성 산화막(2)의 표면을 변조함으로써, 핵 생성율을 증가시켜 전 표면에서 핵 생성이 이루어지도록 유도한다. 이렇게 핵 생성률(nucleation rate)을 증가시킴으로써 기판의 전 표면에서 거의 동시에 핵 생성이 발생하고, 핵 생성에 뒤이은 그레인 성장(grain growth)시, 도 9에 도시된 바와 같은 균일한 결정 입자가 만들어지게 된다. 핵 생성율을 높이고 결정입자 성장을(grain growth rate)을 낮춘 결과로 생성된 PZT막(3)은 결정간의 경계면(grain boundary)에 유전 성질이 나쁜 pyrochlore phase가 형성되는 것을 억제하여 perovskite phase로 만 이루어진 균일한 강유전체 막을 만들게 된다. 이를 도 9 및 도 10a, 10b에 잘 나타나 있다. 도 9는 RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT를 FESEM으로 측정된 표면 영상으로, 도 2의 PZT 영상에 비하여 막질이 균일하게 나타나 있다. 도 10a는 RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT의 투과 전자 현미경 평면 영상으로 도 3a의 투과 전자 현미경 평면 영상에 비하여 입자(grain)의 크기가 균일하게 나타나 있고, 도 10b는 RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT의 회절 패턴으로 도 3b에 도시된 PZT의 회절 패턴에 비하여 pyrochlore phase의 존재를 반영하는 링이 없다. 이와 같이, 계면 공학적 방법에 의해 만들어진 강유전체(PZT)막은 입자의 크기가 고르고 pyrochlore phase가 거의 존재하지 않기 때문에 누설 전류가 적어지게 된다. 도 8은 이렇게 개선된 강유전체 표면을 AFM으로 측정된 것이다. 도 11은 RuO<sub>2</sub>/Pt 전극 상에 형성된 PZT의 X-ray 회절 패턴으로 도 4의 PZT의 X-ray 회절 패턴에서 2θ:85도 부근에 나타나는 pyrochlore phase에 의한 회절 강도가 나타나지 않는다. 도 12는 RuO<sub>2</sub>/Pt 전극을 이용하여 형성된 25μm x 25μm, 50μm x 50μm, 100μm x 100μm 규격의 PZT 강유전체 캐패시터에서 측정된 히스테리시스 루프 곡선이다. 도 13은 RuO<sub>2</sub>/Pt 전극을 이용하여 만들어진 Pt/RuO<sub>2</sub>/PZT/RuO<sub>2</sub>/Pt 강유전체 캐패시터의 피로 현상 전후에 측정된 TDB(누설 전류) 특성 곡선을 보여준다. 도시된 바와 같이, 누설 전류값은 약 5x10<sup>-7</sup>A/cm<sup>2</sup>으로 10배 이상의 향상이 있음을 알 수 있다. 도 14는 본 발명에 따른 강유전체 캐패시터에 있어서, RuO<sub>2</sub>/Pt 전극을 이용하여 만들어진 PZT 강유전체 캐패시터에서 측정된 피로 특성 곡선이다. 여기서, 점선 A 및 B는 각각 이상적인(ideal) 스위칭 전하값이나 횡수(number of cycles)가 많아질수록 피로 현상 때문에 감소(각각, +Δ 및 -Δ)된다. 이와 같은 전기적 특성, 즉 히스테리시스 루프와 피로 특성은 기존의 입자의 크기가 작아지고 핵생성이 고르게 일어나도록 하여 결정 경계면(grain boundary)에 pyrochlore phase가 생기는 것을 막은데 기인한다. 그리고 도 15a 내지 도 15d는 PZT 박막의 거칠기(10nm 이하)가 줄어드는 RuO<sub>2</sub> 전도성 산화막의 두께를 얇기 위한 실험을 통해 얻어진 것으로, 각각 RuO<sub>2</sub>의 두께가 70nm, 30nm, 20nm, 10nm 일 경우에 형성된 PZT 박막의 광학적 영상을 나타낸 것이다. 이 실험 결과를 통해 RuO<sub>2</sub>의 두께가 적어도 15nm 이하일 경우에 PZT 박막 표면의 거칠기가 10nm 이하로 줄어듦을 알 수 있다.

#### 발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 계면 공학을 이용한 강유전체 캐패시터의 제조 방법은 절연 특성을 개선시켜 줄 뿐 만 아니라 누설 전류로 인한 발열을 줄여 기억 소자의 논리 에러를 막아준다. 15nm 이하의 얇은 두께로 형성된 RuO<sub>2</sub> 전도성 산화막 상에 형성되는 PZT는 결정 입자의 크기가 작고 표면이 매끈하기 때문에 집적 공정시 예상되는 식각 공정에 있어서 오버에칭의 어려움을 피할 수 있으며, 그밖에 유전체를 생성하게 될 하부 전극은 종래의 RuO<sub>2</sub>/Pt 구조를 사용하고 강유전체가 생성된 후 상부 전극은 Pt 대신에 Al과 같은 물질로 대체하는 비대칭 전극 구조를 적용할 수 있다. 이렇게 함으로써 Pt로 인한 접착 문제나 Pt의 에칭에 따른 어려움은 물론 값비싼 Pt를 사용하지 않아도 되므로 공정 단가를 줄일 수 있는 효과가 있다. 또한, 전도성 산화막 위에서 강유전체를 증착할 때에 전극의 증착 조건을 변화시켜 기판 표면의 거칠기를 개선함으로써 누설 전류를 대폭 줄였으므로 FRAM, DRAM 응용을 위해 요구되는 기준을

만족시킬 수 있다.

**(5) 청구의 범위**

**청구항 1.** 기판 상에 하부 Pt 전극/하부 전도성 산화물 RuO<sub>2</sub>/강유전체 PZT/상부 전도성 산화물 RuO<sub>2</sub>/상부 Pt 전극의 순으로 적층된 강유전체 캐패시터에 있어서,

상기 하부 전도성 산화물 RuO<sub>2</sub>의 두께를 15nm 이하로 형성하여 상기 PZT 상부 표면의 거칠기가 10nm 이하로 형성된 것을 특징으로 하는 강유전체 캐패시터.

**청구항 2.** 제1항에 있어서,

상기 PZT의 두께는 250~270nm 인 것을 특징으로 하는 강유전체 캐패시터.

**청구항 3.** 제1항에 있어서,

상기 상부 Pt 전극이 Si 전극으로 대체된 것을 특징으로 하는 강유전체 캐패시터.

**청구항 4.** 기판 상에 하부 전극으로 Pt를 적층하는 단계; 상기 하부 전극 상에 하부 전도성 산화물층으로 RuO<sub>2</sub>를 적층하는 단계; 상기 하부 전도성 산화물층 상에 강유전체로 PZT를 소정의 두께로 적층하는 단계; 상기 강유전체 상에 상부 전도성 산화물층으로 RuO<sub>2</sub>를 적층하는 단계; 및 상기 상부 전도성 산화물층 상에 Pt를 적층하는 단계;를 포함하는 강유전체 캐패시터의 제조 방법에 있어서,

상기 RuO<sub>2</sub> 전도성 산화물층을 15nm 이하의 두께로 적층하여, 상기 PZT 강유전체 상부 표면의 거칠기를 10nm 이하로 형성하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법;

**청구항 5.** 제4항에 있어서,

상기 하부 Pt 전극은 DC 마그네트론 스퍼터링법으로 200nm의 두께로 증착하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법;

**청구항 6.** 제4항에 있어서,

상기 RuO<sub>2</sub> 하부 전도성 산화물층을 적층하는 단계는,

산소 분압이 20~40%인 상태에서 RuO<sub>x</sub>를 증착하는 서브 단계; 및

상기 RuO<sub>x</sub>의 조성을 안정시키고 Ru를 용이하기 위하여 550도에서 30분 동안 열처리하는 서브 단계;를

포함하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

**청구항 7.** 제4항 또는 제6항에 있어서,

상기 PZT를 적층하는 단계는,

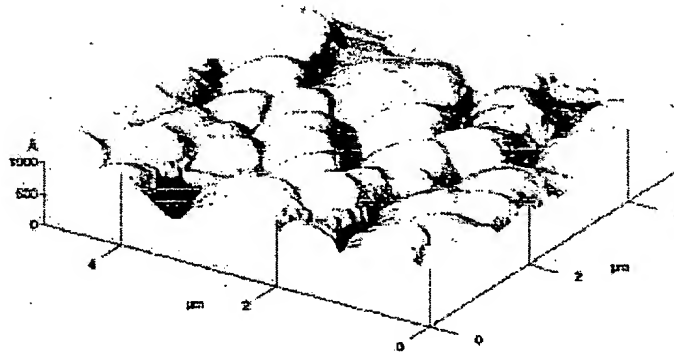
스핀 코팅법을 이용하여 250~270nm의 두께로 PZT를 증착하는 서브 단계; 및

상기 PZT를 650도에서 1시간 동안 열처리하는 단계;를

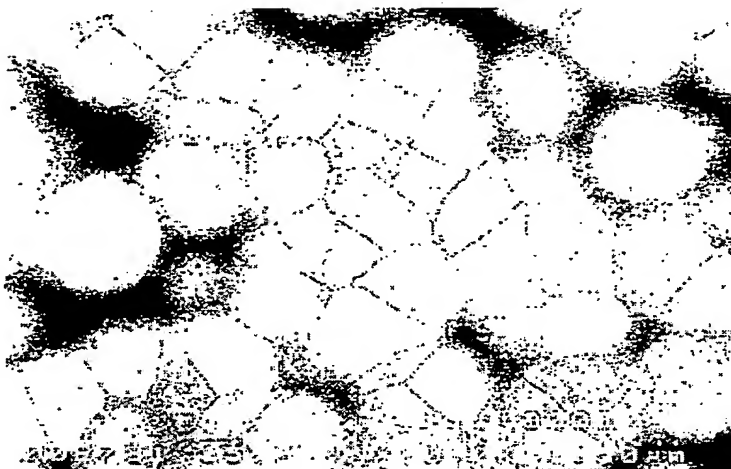
포함하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

**도면**

**도면**



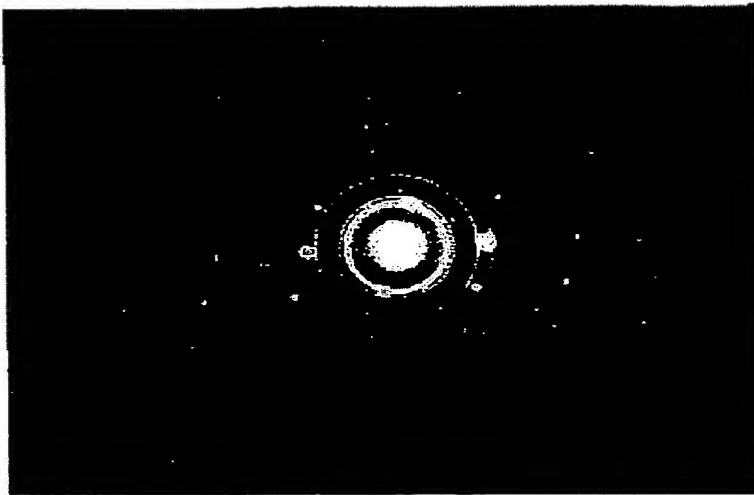
도 B2



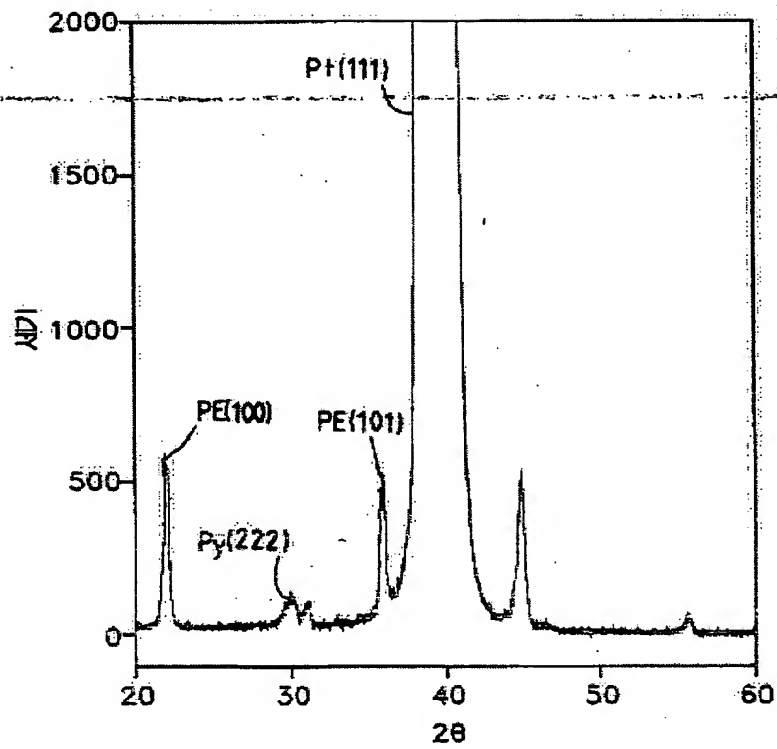
도 B3



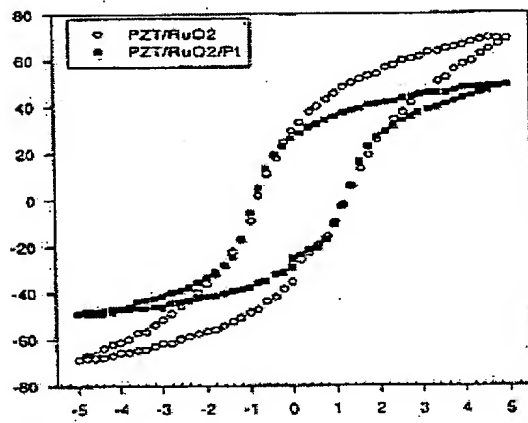
도 3b



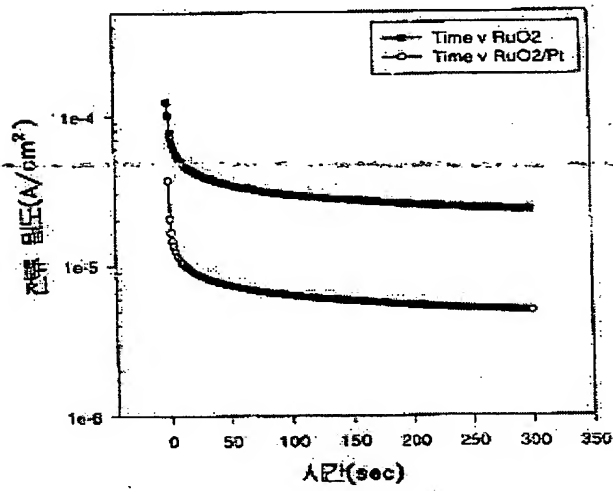
도 3a



도면5



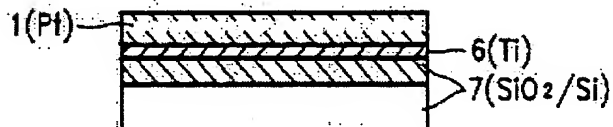
도면6



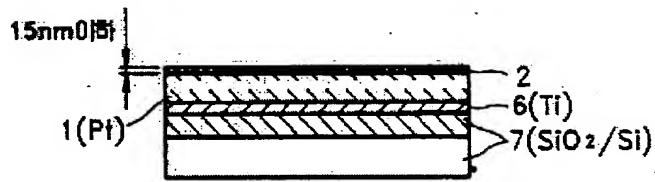
도면7a



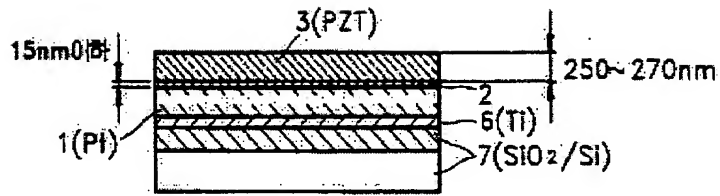
도면7b



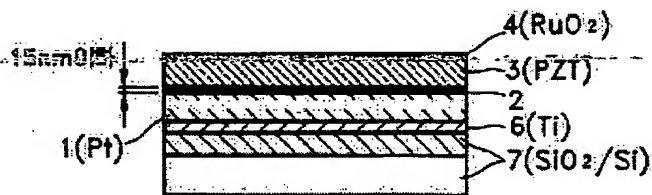
도 7b



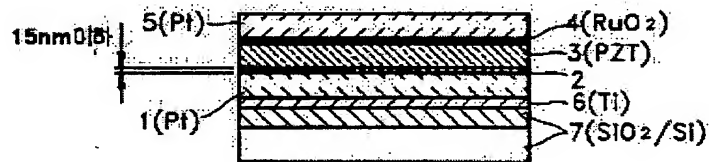
도 7d



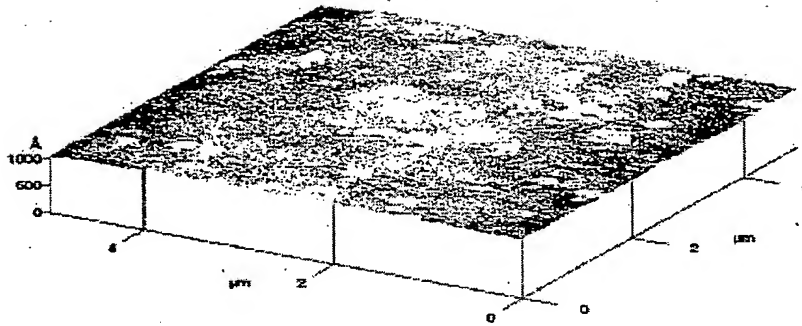
도 7e



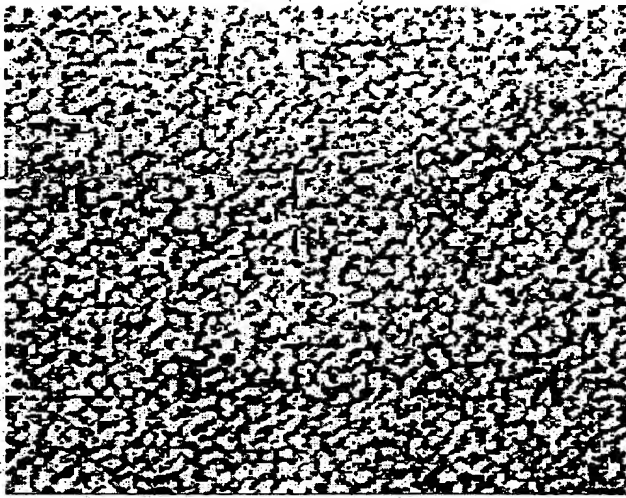
도 7f



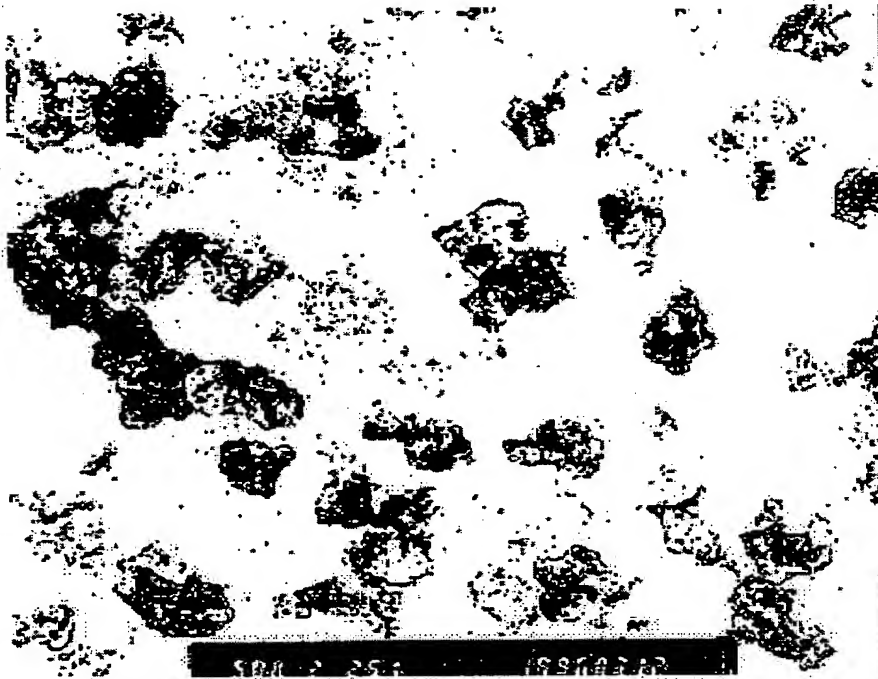
도 88



도 89



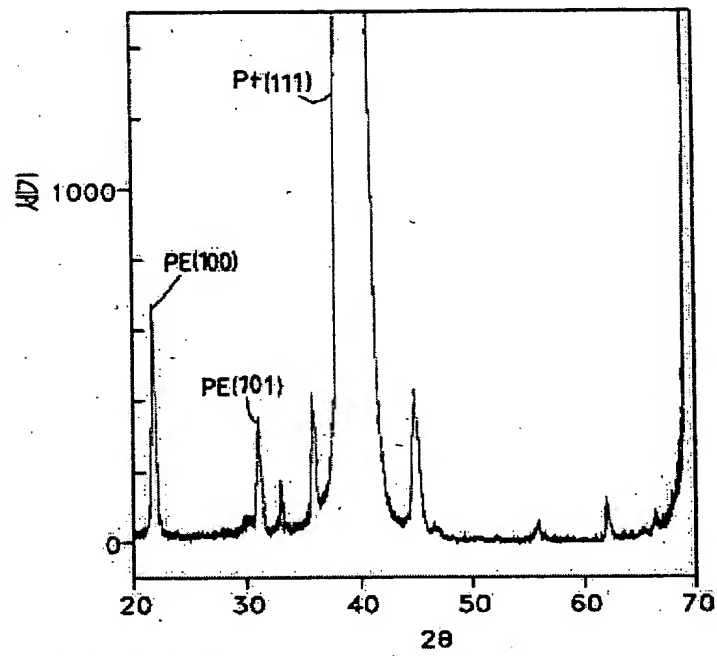
도면 10a



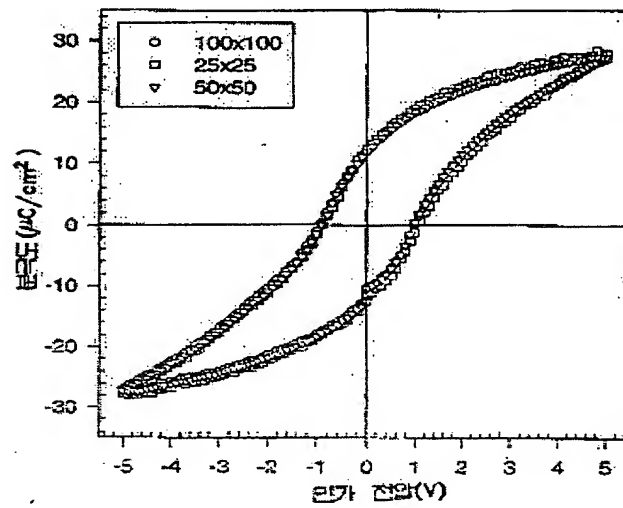
도면 10b



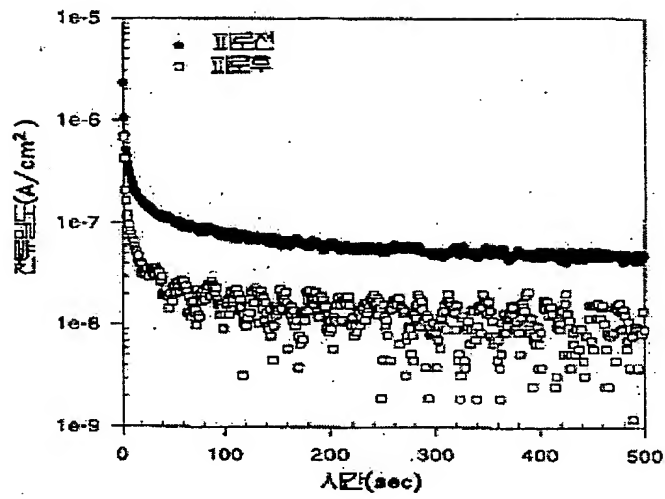
도면 11



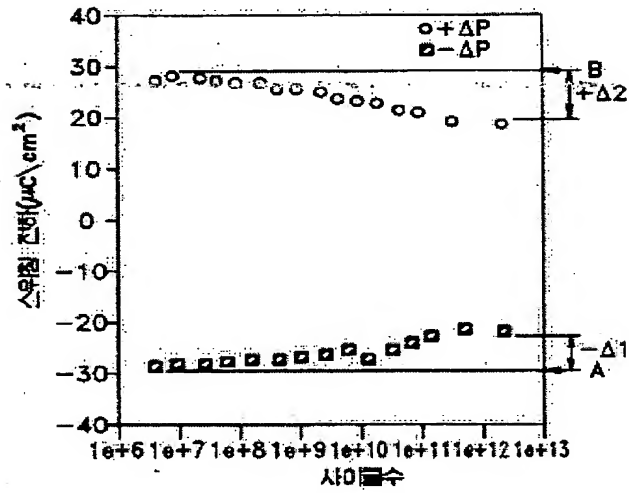
도면 12



도면 13



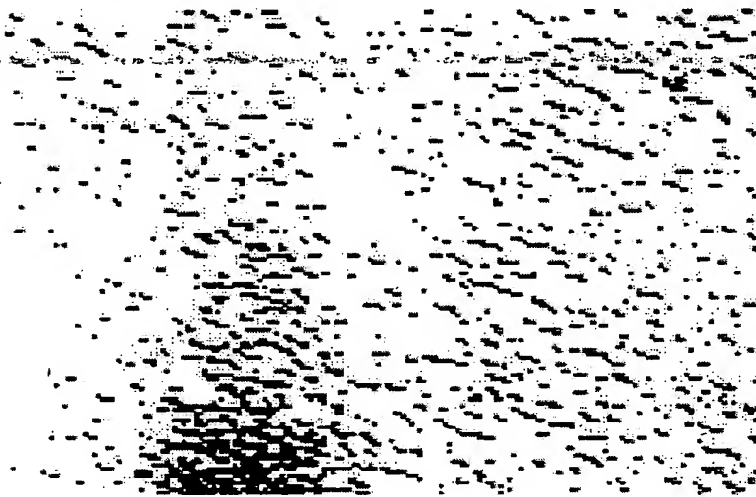
도면 14



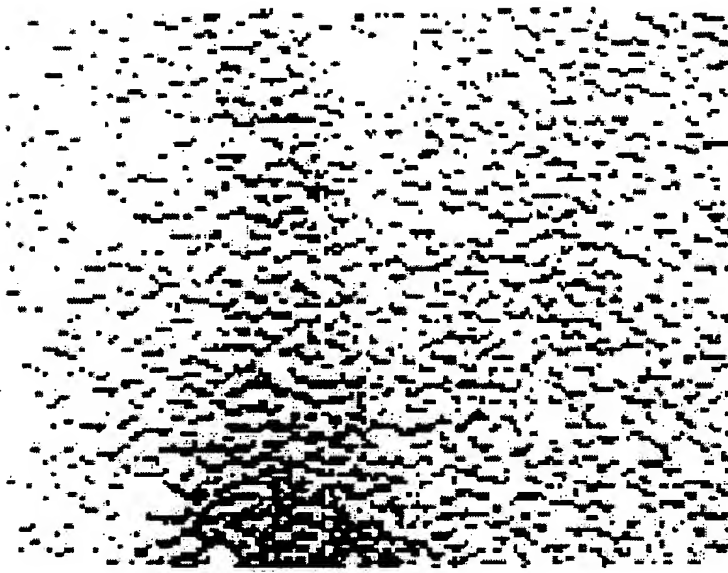
도면 15a



도면 15b



도면 15a



도면 15b



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**